

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 03265167 A

(43) Date of publication of application: 26 . 11 . 91

(51) Int. Cl

H01L 27/108

(21) Application number: 02064756

(22) Date of filing: 14 . 03 . 90

(71) Applicant: MITSUBISHI ELECTRIC CORP

(72) Inventor: EINO MASANAO
KIHARA YUJI
AKIYAMA YOSHIO

(54) SEMICONDUCTOR MEMORY DEVICE

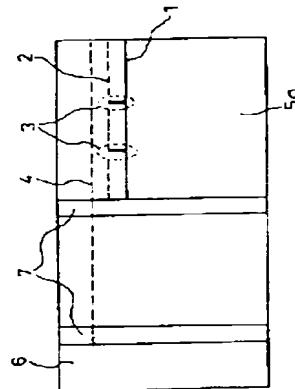
(57) Abstract:

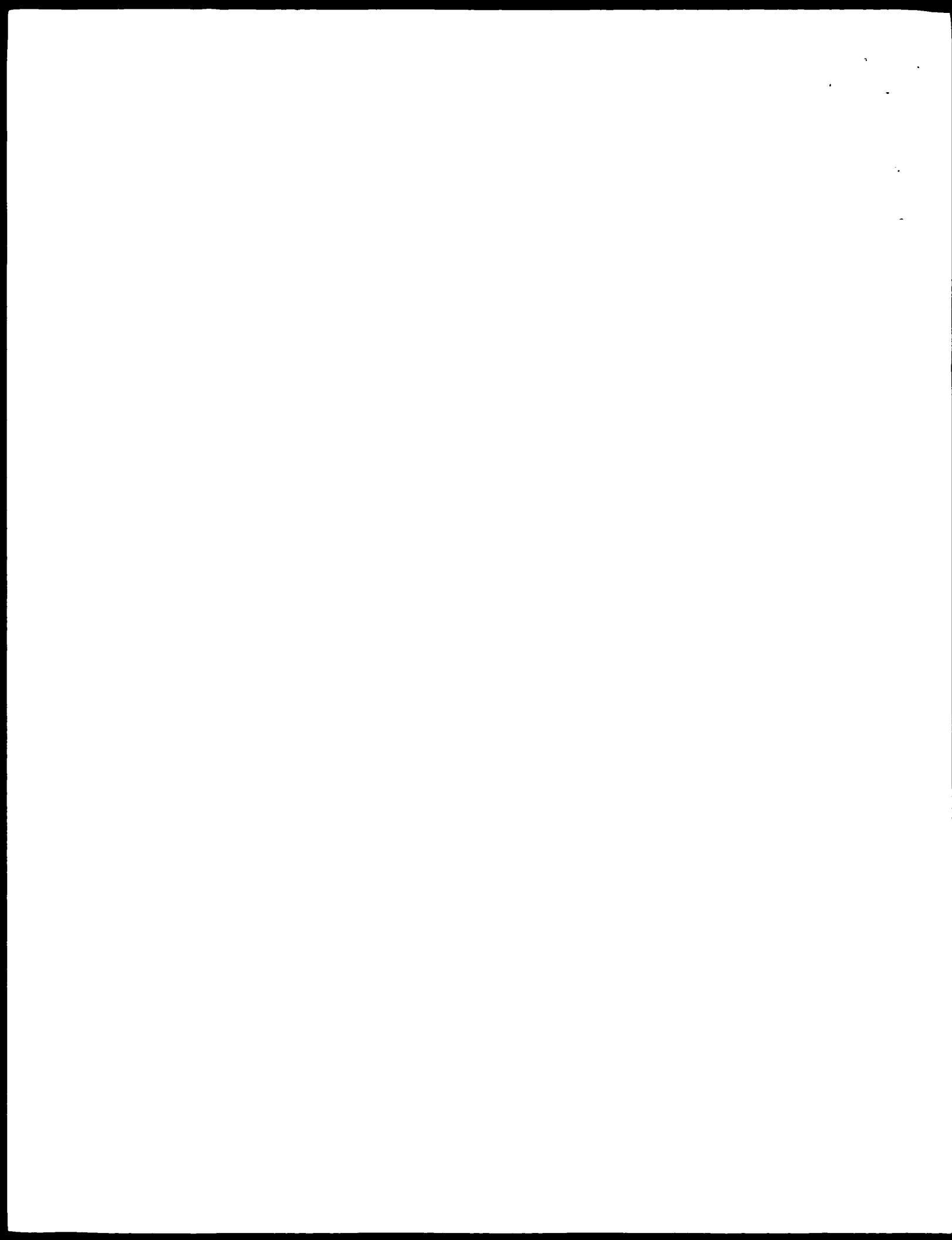
PURPOSE: To realize low resistance and low capacity of a word line and to enable rapid selection of an arbitrary memory cell by using an aluminum layer which constitutes a memory cell group selecting signal line of division word line method for forming contact with the word line at a desired interval via contact holes.

CONSTITUTION: A semiconductor device is composed of a division word line 1, an auxiliary word line 2 which consists of an aluminum layer for realizing low resistance of the line 1, a contact hole 3 for connecting the lines 1, 2, a memory cell group selecting line 4 which consists of an aluminum layer, a memory cell group 5a, an X decoder 6, and a sub-X decoder 7 for decoding the line 1 inside the memory cell group 5a. In a semiconductor memory device adopting a two layer aluminum line process, a first layer aluminum can be used as a bit line and a second layer aluminum can be used as a memory cell group selecting line of division word line selecting method. Since a second layer aluminum wiring is used only for the selecting line 4 of the memory cell group 5a in the memory cell region, other regions can be used freely. Therefore, it is possible to use the second layer aluminum line for

forming contact with the word line at a desired interval via contact holes and to reduce wiring resistance.

COPYRIGHT: (C)1991,JPO&Japio





(2)

⑯ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 平3-265167

⑬ Int. Cl.³
H 01 L 27/108

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)11月26日

8624-4M

H 01 L 27/10

325 N

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特願 平2-64756

⑰ 出願 平2(1990)3月14日

⑱ 発明者 菅野 雅直 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 発明者 木原 雄治 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑳ 発明者 秋山 義雄 兵庫県伊丹市荻野1丁目132番地 大王エンジニアリング株式会社内

㉑ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉒ 代理人 弁理士 早瀬 恵一

明細書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(1) 複数のメモリセルからなるメモリセルアレイが所定のメモリセル群に分割されており、該メモリセル群を選択するメモリセル群選択線と、上記メモリセル群内でメモリセルを選択するための分割ワード線とを有する分割ワード線選択方式の半導体記憶装置において、

上記ワード線方向に一定の間隔をおいて配設され、上記ワード線を構成する導電体層と上記メモリセル選択線を構成する金属配線層とを接続する複数の接続部を備えたことを特徴とする半導体記憶装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体記憶装置に関し、特に2層アルミ配線プロセスを用いた半導体記憶装置における、任意のメモリセルを選択するワード線を高速

に動作させるための改良に関するものである。

(従来の技術)

第3図はポリシリコンで形成されたワード線とアルミ層とを所望の間隔で接続する方法(以後ワード線のアルミの杭打ち方法という。)を示した従来の概略模式図であり、図において1はポリシリコンで形成されたワード線、2はアルミで形成されたワード線、3は上記ワード線1及び2を接続するコンタクトホール、5はメモリセル領域、6はXデコーダである。なお、実際のデバイスでは、ワード線2はワード線1の真上に位置しているが、第3図では説明の都合上これらの位置をずらせて示している。

第4図はワード線選択方式を任意のメモリセル群ごとに分割して採用した従来の分割ワード線方式を示す概略図であり、図において5aは分割したメモリセル群、1は該メモリセル群5a内に配設された分割ワード線、7は該分割メモリセル群5a内で分割ワード線1をデコードするサブXデコーダ、4はメモリセル群5aを選択する選択線

で、アルミ層から構成されている。なお、この図においても、第3図と同様分割ワード線1とメモリセル群選択線4とは位置をずらせて示している。次に動作について説明する。

第3図におけるワード線のアルミ杭打ち方式の目的は、一本のワード線に接続されているメモリセルのゲート入力容量が非常に大きく、またワード線を形成するポリシリコン1の抵抗が大きいので、その容量とポリシリコン1自身の抵抗を低減することであり、この方式では、ポリシリコンのワード線1とアルミ層2とは所望の間隔にてコンタクトホール3を介して接続しており、上記目的、つまり容量及び抵抗の低減が達成されている。

また第4図における分割ワード線方式では、一本のワード線に接続するメモリセルの数を減らすために、メモリセルアレイをある一定のメモリセル群に分割し、まずメモリセル群を選択する群選択線4を設け、そのメモリセル群の中で分割ワード線をデコードするサブXデコーダ7を設けている。これによりワード線一本当たりのゲート容量

が低減し、かつワード線の配線領域を任意メモリセル群のみとしてその配線長を短くでき、結果として配線抵抗も小さくなり、ワード線の高速動作が達成されている。

〔発明が解決しようとする課題〕

従来のワード線高速動作の対策としては、一般に上述のような2つの方式が実施されていたが、メモリの大容量化が進むにつれワード線の配線が長くなることから、アルミ杭打ち方式のみではワード線を形成するポリシリコン自身の抵抗を低減できないといった問題点があった。

また、分割ワード線方式においても、メモリセル数の増大によるメモリセル群選択線の配線長の増大がワード線の高速動作を妨げるといった問題点があった。

この発明は、上記のような問題点を解消するためになされたもので、ワード線の低抵抗化、及び低容量化を実現でき、これにより任意のメモリセルを高速に選択することができる半導体記憶装置を得ることを目的とする。

〔課題を解決するための手段〕

この発明に係る半導体記憶装置は、複数のメモリセルからなるメモリセルアレイが所定のメモリセル群に分割されており、該メモリセル群を選択するメモリセル群選択線と、上記メモリセル群内でメモリセルを選択するための分割ワード線とを有する分割ワード線選択方式の記憶装置において、ワード線を構成する導電帯層とメモリセル群選択線を構成する金属配線層とを所望の間隔で接続したものである。

〔作用〕

この発明においては、分割ワード線方式のメモリセル群選択信号線を構成するアルミ層をワード線杭打ちに用いたから、分割ワード線の配線領域がメモリセル群内のみとなり、その配線長を短くできるだけでなく、その配線抵抗を低減することができる。この結果メモリ容量が増大しても高速動作が要求される記憶装置においてワード線の高速動作を維持することができる。

〔実施例〕

以下、この発明の一実施例を図について説明する。

第1図は本発明の一実施例による半導体記憶装置を説明するための平面図であり、図において1はポリシリコン層で形成された分割ワード線、2は該分割ワード線1の低抵抗化のためのアルミ層からなる補助ワード線、3は該分割ワード線1及び該補助ワード線2を接続するためのコンタクトホールで、該ワード線方向に所定間隔を置いて形成されている。4はアルミ層からなるメモリセル群選択線、5aはメモリセル群、6はXデコーダ、7は分割したメモリセル群5a内で分割ワード線1をデコードするサブXデコーダである。なお、この図では分割ワード線1、補助ワード線2、メモリセル群選択線4を位置をずらせて示しているが、実際のデバイスでは、分割ワード線1上に補助ワード線2が形成してあり、この補助ワード線2はメモリセル群選択線4と同一のアルミ層から構成されている。

第2図は、ワード線の立ち上がり時間示した

回路シミュレーション波形を、この発明におけるワード線のアルミ杭打ち方式と分割ワード線選択方式とを併用した場合と、従来の分割ワード線選択方式のみを用いた場合とで比較して示したものである。

次に作用効果について説明する。

2層アルミ配線プロセスを用いた半導体記憶装置では第1層目アルミをピット線に、第2層目アルミを分割ワード線選択方式のメモリセル群選択線に使用することが可能となる。また、メモリセル領域内では第2層目アルミ配線はメモリセル群5aの選択線4のみに使用されるので、その他の領域は自由に使用することができる。

そのため、第1図においてメモリセル群選択線4を構成する金属層、つまり第2層目アルミを用いて分割ワード線1のアルミ杭打ちを行い、アルミ層の補助ワード線2を実現することで分割ワード線選択方式とワード線のアルミ杭打ち方式を併用できる。

この結果メモリの大容量化が進みワード線の配

線抵抗、ゲート容量が増大しても上記の2方式を組み合わせることで、ワード線の高速動作が可能となる。また第2図から本発明を実施することでワード線の立ち上がり時間を約10%程度高速化されていることがわかる。

このように本実施例では、メモリセル群選択線4のアルミ層をワード線1の杭打ちのための金属層として用いたので、言い換えるとアルミ杭打ち方式と分割ワード線選択方式とを併用したので、メモリセルの大容量化が進んでも任意のメモリセルを選択するワード線の高速動作が可能となる。

〔発明の効果〕

以上のように、本発明に係る半導体記憶装置によれば、分割ワード線方式のメモリセル群選択信号線を構成するアルミ層をワード線杭打ちに用いたので、分割ワード線の配線領域がメモリセル群内のみとなり、その配線長を短くできるだけでなく、その配線抵抗を低減することができる。この結果メモリ容量が増大しても高速動作が要求される記憶装置においてワード線の高速動作を維持す

ることができる効果がある。

4. 図面の簡単な説明

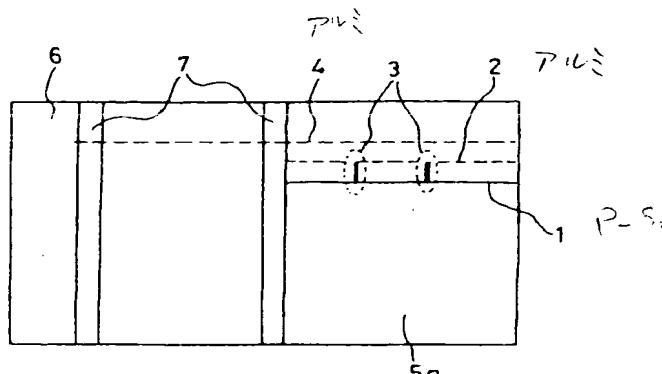
第1図はこの発明の一実施例による分割ワード線選択方式とワード線のアルミ杭打ち方式とを併用した構成を示す概略図、第2図はワード線立ち上がり時間を、本発明の方式を用いた場合と分割ワード線選択方式のみを使用した場合とで比較して示すシミュレーション波形図、第3図は従来のワード線のアルミ杭打ち方式を示す概略図、第4図は従来の分割ワード線選択方式を示す概略図である。

1…ポリシリコンで形成された分割ワード線、2…アルミで形成されたワード線、3…リード線、1及び2を接続するためのコンタクトホール、4…メモリセル群選択線、5はメモリセル領域、5a…メモリセル群、6…Xデコーダ、7はサブXデコーダ。

半なお図中同一符号は同一又は相当部分を示す。

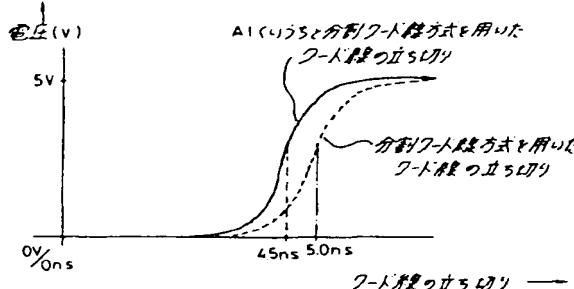
代理人 早瀬嘉一

第1図

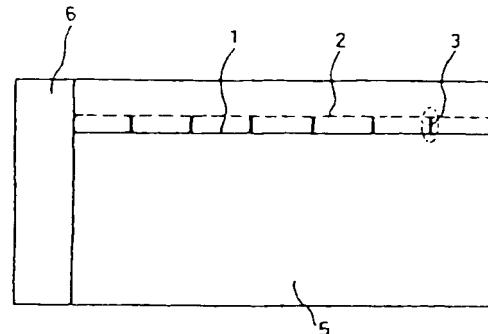


- 1. ポリシリコンで形成されたワード線
- 2. アルミで形成されたワード線
- 3. 1と2を接続するためのコンタクトホール
- 4. メモリセル群選択線
- 5a. メモリセル群
- 6. Xデコーダ
- 7. サブXデコーダ

第 2 図

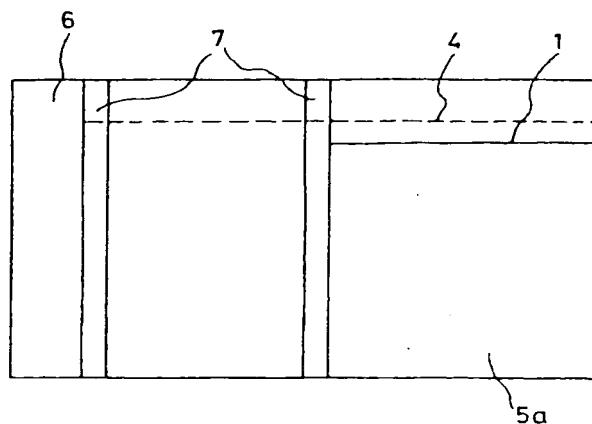


第 3 図



1: ポリシリコンで形成されたフ-ト線
2: アルミニウムで形成されたフ-ト線
3: 1と2を接続させるコンタクトホール
5: メモリセル構造
6: メモリセル

第 4 図



7: サブメモリ
4: メモリセル群選択線
5a: メモリセル群